

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(c) 2000 JPO & JAPIO

Set Items Description

--- -----

?ss pn=11214312

S1 1 PN=11214312

?t sl/1/1

12/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv. |

TI- APPARATUS FOR MANUFACTURING SEMICONDUCTOR

PN- 11 -214312 -JP 11214312 A-

PD- August 06, 1999 (19990806)

AU- MATSUO HIROAKI

SA- SONY CORP

SL- 10-012497 -JP 9812497-

PD- January 26, 1998 (19980126)

H01L-021/205; C23C-016/44; H01L-021/32; H01L-021/285

PROBLEM TO BE SOLVED: To prevent metal contamination within a reaction system using a gas having a characteristic to cause corrosion of a metal material, by covering the surface of a constituent part made of a metal material, of constituent parts to be in contact with the gas having a characteristic to cause corrosion of a metal material, with a covering part made of an anticorrosive material. SOLUTION: A cover plate 115 as a covering part is applied to one end surface of a flange part 114a of a port flange 114 and an inner circumferential surface of a flange part 112a of a tube receiving flange 112. A cover plate 116 as a covering part is applied to one end surface of a setting part 114c of the port flange 114. The cover plates 115 and 116 are made of an anticorrosive material such as quartz or the like. Thus, generation of rust on the tube receiving flange 112, the port flange 114 and the like due to a halogen-based gas and a by-product thereof remaining after chemical reaction can be prevented. COPYRIGHT: (C)1999,JPO

?

?

?ss pn=(7118443 or 5182923 or 7099321 or 9017729 or 10149984 or 9148246 or 10116989 or 5090191 or 9007911 or 11017185)

S2 1 PN=7118443

S3 1 PN=5182923

S4 1 PN=7099321

S5 1 PN=9017729

S6 1 PN=10149984

S7 1 PN=9148246

S8 1 PN=10116989

S9 1 PN=5090191

S10 1 PN=9007911

S11 1 PN=11017185

S12 10 PN=(7118443 OR 5182923 OR 7099321 OR 9017729 OR 10149984 OR 9148246 OR 10116989 OR 5090191 OR 9007911 OR 11017185)

?t sl2/4/all

12/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv. |

TI- LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURE

PN- 11 -017185 -JP 11017185 A-

PD- January 22, 1999 (19990122)

AU- KAWACHI GENSHIROU; OKUBO TATSUYA; MIMURA AKIO; SHINAGAWA TAKAAKI

PA- HITACHI LTD

AN- 09-164077 -JP 97164077-

AD- June 20, 1997 (19970620)

H01L-029/786; H01L-021/336; G02F-001/136; H01L-027/12

AB- PROBLEM TO BE SOLVED: To simplify the processes of the manufacturing method of a TFT liquid crystal display, by so forming continuously its films as to take out its substrate from a vacuum equipment as infrequent as possible. SOLUTION: After on a glass substrate 1 a bedding insulation film 2, a semiconductor film 30 recrystallized by heating, a gate insulation film 20, and a gate electrode 10 are formed continuously in a vacuum equipment, the gate electrode 10 and gate insulation film 20 are patterned simultaneously to form thereafter impurity regions 31 in the semiconductor film 30. In this way, by processing consistently in vacuum a plurality of film forming processes, the productivity of a liquid crystal display is improved to make realizable its low cost. Also, since the semiconductor film 30 is never exposed to the atmosphere before and after its recrystallized process by heating, a transistor having a good characteristic can be manufactured with a good repeatability. COPYRIGHT: (C)1999, JPO

12/4/2

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2000 JPO & JAPIO. All rts. reserv. |

TI- METHOD AND DEVICE FOR FORMING POLYCRYSTALLINE SILICON

PN- 10 -149984 -JP 10149984 A-

PD- June 02, 1998 (19980602)

AU- ISHIKAWA MICHIO; ITO KAZUYUKI; HASHIMOTO YUKINORI; YONEZAKI TAKESHI;
TOGAWA ATSUSHI; OTA YOSHIFUMI

PA- ULVAC JAPAN LTD [352286] (A Japanese Company or Corporation), JP
(Japan)

AN- 08-309497 -JP 96309497-

AD- November 20, 1996 (19961120)

IC- -6- H01L-021/20; H01L-029/786; H01L-021/336

CL- 42.2 (ELECTRONICS -- Solid State Components); 36.1 (LABOR SAVING
DEVICES -- Industrial Robots)

KW- R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors)

AB- PROBLEM TO BE SOLVED: To provide a method by which such polycrystalline silicon that is suitable for the manufacture of a polycrystalline silicon thin film transistor having large field effect mobility can be formed efficiently and a device which can adequately implement the method.

SOLUTION: In a polycrystalline silicon forming method which includes a crystallizing processes for crystallizing an amorphous silicon film formed on a substrate 2 through laser annealing by irradiating the film with a laser beam in a sealed airtight chamber 12, the inside of the chamber 12 is maintained in such an atmosphere that the pressure is maintained between 0.1Torr and below the manimum and pressure of the chamber 12 and at least one kind of gas selected from among a hydrogen gas, a nitrogen gas, and an inert gas is made to flow in the chamber 12. The polycrystalline silicon formed in the chamber 12 while the chamber is maintained in the above-mentioned atmosphere is continual treated with hydrogen plasma without exposing the silicon to the atmosphere.

12/4/3

FN- DIALOG(R)File 347:JAPIO|

FO5-472
I.D.S

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 7 9 1 1

(43) 公開日 平成 9 年 (1 9 9 7) 1 月 1 0 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/02			H01L 21/02	Z
21/68			21/68	A

審査請求 未請求 請求項の数 6 F D (全 7 頁)

(21) 出願番号 特願平 7 - 1 7 4 2 0 8

(22) 出願日 平成 7 年 (1 9 9 5) 6 月 1 6 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 金谷 康弘

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

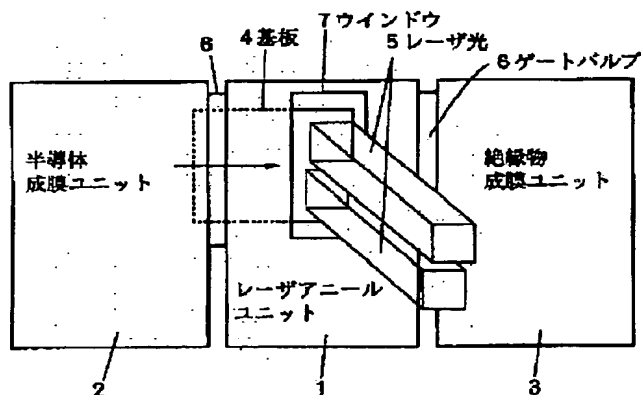
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 半導体製造装置

(57) 【要約】

【目的】 気密雰囲気下で基板の連続的な加工が可能な半導体製造装置を提供する。

【構成】 半導体製造装置はレーザアニールユニット 1 を備えており、加工対象となる基板 4 を気密雰囲気下に保持するチャンバを有し、基板 4 に含まれる半導体にレーザ光 5 を照射してその電気的な特性を改善する。レーザアニールユニット 1 の前後に半導体成膜ユニット 2 及び絶縁物成膜ユニット 3 が配置しており、同じく基板 4 を気密雰囲気下に保持するチャンバを有し、基板 4 に対して必要な薄膜を形成する。各チャンバは気密雰囲気を維持したままゲートバルブ 6 により接続されている。基板 4 は所定の工程順に従って先のチャンバから後のチャンバに気密雰囲気下で搬送される。



【特許請求の範囲】

【請求項 1】 加工対象となる基板を気密雰囲気下に保持するチャンバを備え、該基板に含まれる半導体にレーザ光を照射してその電気的な特性を改善するレーザアニールユニットと、

同じく基板を気密雰囲気下に保持するチャンバを備え、該基板に対して必要な薄膜を形成する少なくとも一つの成膜ユニットと、

気密雰囲気を維持したまま各チャンバを互いに接続すると共に所定の工程順に従って先のチャンバから後のチャンバに該基板を気密雰囲気下で搬送する搬送手段とを含む半導体製造装置。

【請求項 2】 第 1 のチャンバを備え絶縁性の基板の上に非単結晶性の半導体からなる薄膜を形成する半導体成膜ユニットと、該第 1 のチャンバに接続した第 2 のチャンバを備え該半導体にレーザ光を照射してその結晶化を図る事により電気的な特性を改善するレーザアニールユニットと、該第 2 のチャンバに接続した第 3 のチャンバを備え該半導体の上に絶縁性の薄膜を重ねて形成する絶縁物成膜ユニットとを含む請求項 1 記載の半導体製造装置。

【請求項 3】 前記搬送手段は、複数のチャンバを直列的に接続するインライン型の搬送手段である請求項 1 記載の半導体製造装置。

【請求項 4】 前記搬送手段は、星形に配した複数のチャンバの中心に位置し個々のチャンバを相互的に接続するものである請求項 1 記載の半導体製造装置。

【請求項 5】 互いに隣り合うチャンバの間に介在する追加のチャンバを備えた温度調整ユニットを含んでおり、工程間に生じる基板温度の差を調整する為加熱／冷却を行なう請求項 1 記載の半導体製造装置。

【請求項 6】 工程順の先頭に位置し大気側から基板を受け入れる追加のチャンバを備えたロードユニットと、工程順の最後に位置し基板を大気側に排出する追加のチャンバを備えたアンロードユニットとを含む請求項 1 記載の半導体製造装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は薄膜半導体デバイス等の作成に用いる半導体製造装置に関する。より詳しくは、半導体薄膜の成膜やそのレーザアニールを一貫して行なう半導体製造装置に関する。

【 0 0 0 2 】

【従来の技術】 半導体薄膜を活性層とする薄膜トランジスタを集積形成した薄膜半導体デバイスはアクティブマトリクス型表示装置の駆動基板等に用いられ、現在盛んに開発が進められている。従来、薄膜半導体デバイスは通常の L S I デバイスと同様に高温プロセスで製造されており、基板には耐熱性に優れた高融点の石英ガラス等が用いられていた。しかしながら、表示装置の大型化等

に伴ない基板コストの低減が望まれており、低融点ガラス等の採用が可能な低温プロセスが研究開発されている。低温プロセスの一環としてレーザアニール技術が有望視されている。この技術は絶縁基板上に成膜された半導体薄膜をレーザ光で照射して加熱し、冷却過程で半導体の結晶化を図りその特性を改善するものである。一般に、レーザアニールは真空雰囲気下基板を加熱した状態で行なわれ、この為専用のレーザアニール装置が実用化されている。一方、絶縁基板上に半導体薄膜を成膜する為、プラズマ C V D 装置等の成膜装置が実用化されている。又、半導体薄膜の上にゲート絶縁膜等を形成する為、L P C V D 装置等の成膜装置も実用化されている。

【 0 0 0 3 】

【発明が解決しようとする課題】 従来、薄膜半導体デバイスの製造に用いられるレーザアニール装置や各種の成膜装置は個々に分離した独立のユニットとして製造ラインに組み込まれていた。この為、各装置毎に真空引き処理や加熱処理を繰り返す必要があった。例えば、レーザアニール装置でチャンバの真空引きや基板の加熱を行なっている。この前後で半導体薄膜やゲート絶縁膜を成膜するといった場合、真空引きや基板加熱等の工程を全く別に繰り返さなければならず、薄膜半導体デバイスの製造プロセスに多大の時間を有していた。

【 0 0 0 4 】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は薄膜半導体デバイスのスループットを改善可能な半導体製造装置を提供する事を目的とする。この目的を達成する為以下の手段を講じた。即ち、本発明にかかる半導体製造装置はレーザアニールユニットと少なくとも一つの成膜ユニットとの組み合わせからなる。レーザアニールユニットは加工対象となる基板を気密雰囲気下に保持するチャンバを備え、該基板に含まれる半導体にレーザ光を照射してその電気的な特性を改善する。成膜ユニットは同じく基板を気密雰囲気下に保持するチャンバを備え、該基板に対して必要な薄膜を形成する。特徴事項として搬送手段を備えており、気密雰囲気を維持したまま各チャンバを互いに接続すると共に、所定の工程順に従って先のチャンバから後のチャンバに該基板を気密雰囲気下で搬送する。好ましくは、前記搬送手段は複数のチャンバを直列的に接続するインライン型の搬送手段である。あるいは、前記搬送手段は星形に配した複数のチャンバの中心に位置し個々のチャンバを相互的に接続するものであっても良い。

【 0 0 0 5 】 具体的な構成では、本半導体製造装置はレーザアニールユニットに加え、例えば半導体成膜ユニットと絶縁物成膜ユニットとを含んでいる。半導体成膜ユニットは第 1 のチャンバを備え絶縁性の基板の上に非単結晶性の半導体からなる薄膜を形成する。レーザアニールユニットは第 1 のチャンバに接続した第 2 のチャンバを備え該半導体にレーザ光を照射してその結晶化を図る

3

事により電気的な特性を改善する。絶縁物成膜ユニットは第2のチャンバに接続した第3のチャンバを備え該半導体の上に絶縁性の薄膜を重ねて形成する。又、互いに隣り合うチャンバの間に介在する追加のチャンバを備えた温度調整ユニットを設けても良い。この温度調整ユニットは工程間に生じる基板温度の差を調整する為加熱／冷却を行なう。さらに、工程順の先頭に位置し大気側から基板を受け入れる追加のチャンバを備えたロードユニットや、工程順の最後に位置し基板を大気側に排出する追加のチャンバを備えたアンロードユニットを設けても良い。

【 0 0 0 6 】

【作用】本発明によれば、半導体製造装置は薄膜半導体デバイスを構成する半導体薄膜にレーザ光を照射するレーザアニールユニットを備えている。このレーザアニールユニットに対し、工程順（プロセス順序）の前段、後段もしくは両方に真空搬送できる様な形で成膜ユニットを接続している。これにより、各ユニット毎に独立して真空引きや基板加熱等を行なう必要がなくなり、薄膜半導体デバイスのスループットを大幅に短縮できる。

【 0 0 0 7 】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる半導体製造装置の第1実施例を示す模式的なブロック図である。図示する様に、本半導体製造装置はレーザアニールユニット1を有している。このレーザアニールユニット1は加工対象となる基板4を気密雰囲気下に保持するチャンバを備え、基板4に含まれる半導体にレーザ光5を照射してその電気的な特性を改善する。図示の例では、レーザ光5は石英等からなるウィンドウ7を介してチャンバ内の基板4に照射される。本発明にかかる半導体製造装置はレーザアニールユニット1に加え少なくとも一つの成膜ユニットを含んでいる。この成膜ユニットは同じく基板4を気密雰囲気下に保持するチャンバを備え、基板4に対して必要な薄膜を形成する。本実施例では、レーザアニールユニット1の前後に半導体成膜ユニット2と絶縁物成膜ユニット3を備えている。特徴事項として、各チャンバは気密雰囲気を維持したままゲートバルブ6により互いに接続されている。このゲートバルブ6を通過可能な様に搬送手段が組み込まれており、所定の工程順に従って先のチャンバから後のチャンバに基板4を気密雰囲気下で搬送する。

【 0 0 0 8 】半導体成膜ユニット2は第1のチャンバを備え絶縁性の基板4の上に非単結晶性の半導体からなる薄膜を形成する。この半導体成膜ユニット2は例えばプラズマCVD装置からなり、非晶質シリコン薄膜を形成できる。レーザアニールユニット1は第1のチャンバに接続した第2のチャンバを備え、半導体にレーザ光5を照射してその結晶化を図る事により電気的な特性を改善する。即ち、非晶質シリコンを多結晶シリコンに転換し

4

ている。絶縁物成膜ユニット3は第3のチャンバを備え半導体の上に絶縁性の薄膜（例えばゲート絶縁膜）を重ねて形成する。この絶縁物成膜ユニット3は例えばLPCVD装置からなる。以上の様に、本半導体製造装置は半導体成膜ユニット2のプラズマCVDチャンバ、レーザアニールユニット1の真空チャンバ、絶縁物成膜ユニット3のLPCVDチャンバがゲートバルブ6で直列的に接続され、基板4をインラインで真空搬送できる様になっている。

10 【 0 0 0 9 】引き続き図1を参照して本半導体製造装置の動作を詳細に説明する。先ず、薄膜トランジスタ等を集積形成した薄膜半導体デバイスを製造する場合、半導体成膜ユニット2においてプラズマCVD法等により絶縁基板4の上に非晶質シリコンを成膜する。その後、真空を保持したまま絶縁基板4をレーザアニールユニット1に搬送する。この搬送過程で絶縁基板4はレーザアニールユニット1のチャンバ内を移動する。この移動中に絶縁基板4に対し石英ウィンドウ7を介してレーザ光5を照射する。これにより、絶縁基板4に成膜された非晶質シリコンが溶融し多結晶化する。さらに、真空状態を保持したまま絶縁基板4は後段の絶縁物成膜ユニット3に搬送される。ここで、LPCVDにより酸化シリコンが成膜されゲート絶縁膜が得られる。これらの半導体成膜、レーザアニール、絶縁物成膜といった工程が全て真空中で行なわれる為、各工程毎に排気／吸気を行なう必要がなくなる。又、各工程間で基板温度を略同程度に設定しておけば、昇温／降温過程も必要なくなる。なお、本実施例ではレーザアニールのプロセス前後に夫々成膜ユニットが接続されているが、本発明はこれに限られるものではない。例えば、レーザアニールユニットの前段もしくは後段のみに成膜ユニットを接続した構成であっても良い。一般に、本発明にかかる半導体製造装置はレーザアニールユニットの前段、後段、もしくは両方に成膜ユニットが接続され、各チャンバ間で基板の真空搬送ができれば良い。又、本実施例では成膜ユニットとしてプラズマCVD装置とLPCVD装置を組み合わせ用いているが、これに限られるものではない。例えば、スパッタ装置等の他の成膜ユニットを組み込んでも良い。又、工程順についても薄膜半導体デバイスのプロセスに

40 【 0 0 1 0 】図2は、第1実施例に組み込まれたレーザアニールユニットの具体的な構成例を示すブロック図である。本レーザアニールユニット1はチャンバ8を備え、その内部には加熱用ヒータ9が組み込まれている。チャンバ8にはターボ分子ポンプ10及びドライポンプ11が直列接続され、チャンバ8内を真空排気できる様にしてある。又、隣接する半導体成膜ユニットや絶縁物成膜ユニットとの境界にはゲートバルブ6が介在し、各ユニットのチャンバを区切っている。成膜プロセス中はゲートバルブ6を閉じチャンバ間の干渉を防ぐ。成膜プ

ロセスが終了した時ゲートバルブ 6 を開き、チャンバ間の基板搬送を可能にする。なお、半導体成膜ユニット 2 のプラズマ CVD チャンバ及び絶縁物成膜ユニット 3 の L P C V D チャンバも基本的にはレーザアニールユニットのチャンバ 8 と同一の構成を有している。異なる点は、プラズマ発生用の平行平板電極やプロセスガスの導入口等がチャンバに設けられている事である。

【 0 0 1 1 】 図 3 はレーザアニールユニットのチャンバ 8 に組み込まれた基板搬送機構（搬送手段）の具体的な構成例を表わしている。なお、この基板搬送機構は各チャンバを通して連続している。基板 4 はトレイ 1 2 上にセットされ各チャンバ内及びチャンバ間を移動する。具体的には、チャンバ 8 の外側から上下より挿入されたトレイ搬送ギア 1 4 とトレイ 1 2 に刻んだギア 1 3 をチャンバ 8 内で互いに噛み合わせ、チャンバ 8 の外側からトレイ搬送ギア 1 4 を回転させる事により、基板 4 が搬送移動される。この搬送移動中にレーザアニールが行なわれる。先ず、その前段階として半導体成膜ユニットに絶縁基板 4 を投入し、プラズマ C V D チャンバを真空引きすると共に基板を 4 5 0 ° C に加熱する。この状態で絶縁基板 4 上に非晶質シリコンを成膜する。成膜後基板搬送トレイ 1 2 をレーザアニールユニットに移動する。そして、チャンバ 8 内で基板 4 を 4 5 0 ° C に保ったままレーザアニールを行なう。具体的には、基板搬送途中でレーザ光 5 を照射し、非晶質シリコンを多結晶シリコン 1 5 に転換する。この時、エキシマレーザ光源を 2 台用いており、基板 4 の幅方向に沿って 2 チップ分の領域を 1 ショットで照射している。これによりレーザアニールのタクト時間が減少する。この後、基板搬送トレイ 1 2 を絶縁物成膜ユニットの L P C V D チャンバに移動し、シリコン酸化膜を成膜する。ここで基板温度を下げ、大気中に基板を取り出す。

【 0 0 1 2 】 図 4 はレーザアニール方法の他の例を示す模式的な平面図である。本例では 1 台のレーザ光源を使用し、線状ビームのレーザ光 5 - 2 を絶縁基板 4 に照射している。線状ビームの長手寸法は基板 4 の幅寸法と略一致している。基板 4 の移動中線状ビームのレーザ光 5 - 2 が連続的にもしくはパルス的に照射され、非晶質シリコンが順次多結晶シリコン 1 5 に転換される。本例でも基板 4 を単に一方方向に沿って移動するだけで良く、装置構造が簡便になり且つレーザ光源も 1 台で良い。

【 0 0 1 3 】 図 5 はレーザアニール方法の別の例を示す模式的な平面図である。図 4 の例ではレーザ光源を含む光学系を固定していたが、本例ではレーザ光 5 を照射する時基板 4 を固定する一方レーザ光 5 を二次元的に走査しており、これによって非晶質シリコンを多結晶シリコン 1 5 に転換する。

【 0 0 1 4 】 図 6 は本発明にかかる半導体製造装置の第 2 実施例を示している。本半導体製造装置はインライン型である。本装置は中央のレーザアニールユニット 1 の

両側に温度調整ユニット 1 8 を備えている。この温度調整ユニット 1 8 は隣り合うチャンバの間に介在する追加のチャンバからなり、工程間に生じる基板 4 の温度差を調整する為加熱／冷却を行なう。又、工程順の先頭に位置するロードユニット 1 6 を設けており、大気側から基板 4 を受け入れる追加のチャンバを備えている。さらに、工程順の最後に位置するアンロードユニット 1 7 を含んでおり、追加のチャンバを用いて基板 4 を大気側に排出する。なお、ロードユニット 1 6 と前段温度調整ユニット 1 8 の間には半導体成膜ユニット 2 が接続され、後段温度調整ユニット 1 8 とアンロードユニット 1 7 の間には絶縁物成膜ユニット 3 が介在している。以上に説明した各ユニットは全てゲートバルブ 6 により直列的に接続されている。本実施例の特徴事項として、半導体成膜ユニット 2 のプラズマ C V D チャンバの前段に、真空引き及び基板加熱を行なうロードユニット 1 6 を取り付けられている。又、絶縁物成膜ユニット 3 の L P C V D チャンバの後に、降温及び大気開放を行なうアンロードユニット 1 7 を設ける。こうする事により、プラズマ C V D チャンバ及び L P C V D チャンバの負担が軽くなり、タクト時間がさらに減少する。又、プラズマ C V D プロセス、L P C V D プロセス、レーザアニールプロセスの各基板温度が異なる場合、予め基板の加熱／冷却を行なう温度調整ユニット 1 8 を設けることで、タクト時間をさらに短くする。

【 0 0 1 5 】 図 7 は本発明にかかる半導体製造装置の第 3 実施例を示すブロック図である。本例では、レーザアニールユニット 1、半導体成膜ユニット 2、絶縁物成膜ユニット 3、ロードロックユニット 2 1 が星形に配置している。これらのユニットの中央にはロボットユニット 1 9 が配置し、周辺の各ユニットに対しゲートバルブ 6 を介して個々に接続している。ロボットユニット 1 9 の内部には搬送手段として搬送ロボット 2 0 が組み込まれており、所定の工程順に従って基板 4 を周辺の各ユニットに搬送する。例えば、半導体成膜ユニット 2 で成膜処理を施された基板 4 をロボット 2 0 によりレーザアニールユニット 1 に搬送する。ここでレーザアニール処理が終了するとロボット 2 0 が基板 4 を絶縁物成膜ユニット 3 に搬送する。この後、基板 4 はロボット 2 0 によりロードロックユニット 2 1 に搬送され、大気側に取り出される。

【 0 0 1 6 】 最後に図 8 及び図 9 を参照して、本発明にかかる半導体製造装置を用いた薄膜半導体デバイスの製造工程の一例を説明する。なお、この例では薄膜半導体デバイスとしてアクティブマトリクス型表示装置に組み込まれる駆動基板を作成している。先ず図 8 の工程

(a) で、絶縁基板 1 0 1 の上に非晶質シリコンからなる半導体薄膜 1 0 2 を成膜する。次に工程 (b) で、半導体薄膜 1 0 2 にレーザ光 1 0 3 を照射し、非晶質シリコンを多結晶シリコンに転換する。続いて工程 (c) に

移り、半導体薄膜 102 の上に酸化シリコンを成膜してゲート絶縁膜 104 を設ける。以上の工程 (a) ,

(b) 及び (c) は、本発明にかかる半導体製造装置を用いて連続的に行なえる。

【0017】次に工程 (d) に進み、半導体薄膜 102 及びゲート絶縁膜 104 をアイランド状にパタニングして、薄膜トランジスタの素子領域とする。図 9 の工程

(e) に移り、ゲート絶縁膜 104 の上にゲート電極 105 をパタニングする。工程 (f) に進み、ゲート電極 105 をマスクとしてセルフアライメントにより不純物 106 をイオン注入し、半導体薄膜 102 中にソース領域 107 及びドレイン領域 108 を形成する。これにより、トップゲート型の薄膜トランジスタが完成する。次に工程 (g) に進み、薄膜トランジスタを PSG 等からなる第 1 層間絶縁膜 109 で被覆する。最後に構成

(h) に進み、第 1 層間絶縁膜 109 にコンタクトホールを開孔した後、金属膜を成膜し所定の形状にパタニングして配線電極 110 に加工する。この配線電極 110 は薄膜トランジスタのソース領域 107 に接続している。この上に同じく PSG 等からなる第 2 層間絶縁膜 111 を成膜する。再びコンタクトホールを開孔した後、ITO 等の透明導電膜を成膜し所定の形状にパタニングして画素電極 112 に加工する。この画素電極 112 はコンタクトホールを介して薄膜トランジスタのドレイン領域 108 と電気接続している。

【0018】

【発明の効果】以上説明した様に、本発明によれば、気密雰囲気を維持したままレーザアニールユニット及び成膜ユニットを構成する各チャンバを互いに接続すると共に、所定の工程順に従って先のチャンバから後のチャンバに基板を気密雰囲気下で搬送する。各チャンバ間を真空接続する事で、排気/吸気の時間が短縮化される。又、基板加熱についても、プロセス温度が同程度である限り加熱/冷却の為に昇温/降温時間が短くて済む。加えて、レーザアニールの後真空状態のまま成膜プロセ

スに移る為、基板表面の酸化や異物汚染が防げ、プロセスの安定化が図れる。

【図面の簡単な説明】

【図 1】本発明にかかる半導体製造装置の第 1 実施例を示すブロック図である。

【図 2】第 1 実施例に組み込まれるレーザアニールユニットの具体的な構成例を示すブロック図である。

【図 3】第 1 実施例に組み込まれる搬送手段の具体的な構成例を示す平面図である。

【図 4】レーザアニール方法の一例を示す模式的な平面図である。

【図 5】レーザアニール方法の他の例を示す模式的な平面図である。

【図 6】本発明にかかる半導体製造装置の第 2 実施例を示すブロック図である。

【図 7】本発明にかかる半導体製造装置の第 3 実施例を示すブロック図である。

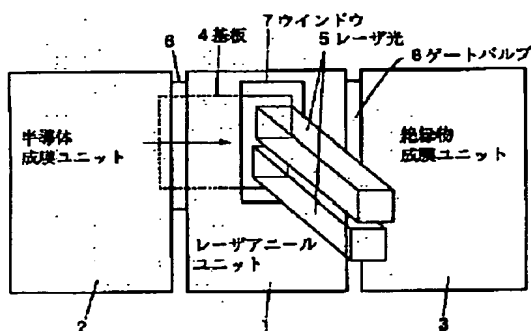
【図 8】本発明にかかる半導体製造装置を用いた薄膜半導体デバイスの製造方法の一例を示す工程図である。

【図 9】同じく薄膜半導体デバイスの製造方法を示す工程図である。

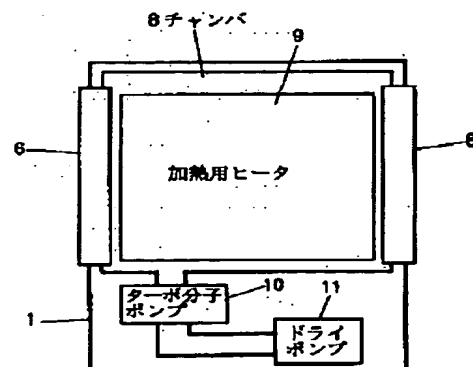
【符号の説明】

- 1 レーザアニールユニット
- 2 半導体成膜ユニット
- 3 絶縁物成膜ユニット
- 4 基板
- 5 レーザ光
- 6 ゲートバルブ
- 8 チャンバ
- 10 ターボ分子ポンプ
- 11 ドライポンプ
- 12 搬送トレイ
- 13 ギア
- 14 搬送ギア

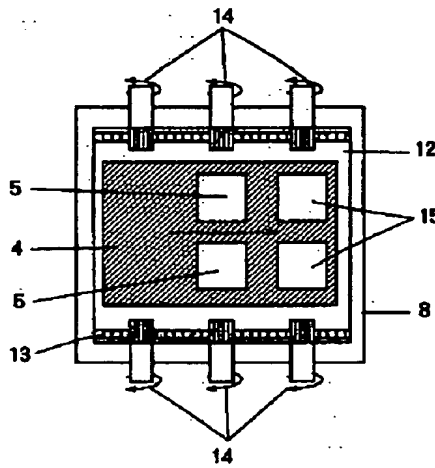
【図 1】



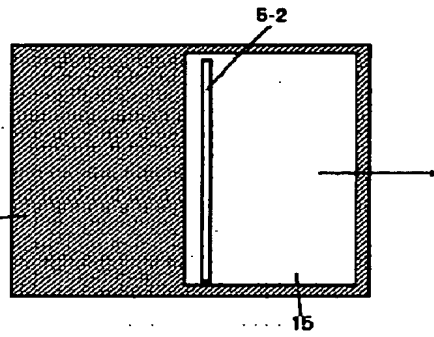
【図 2】



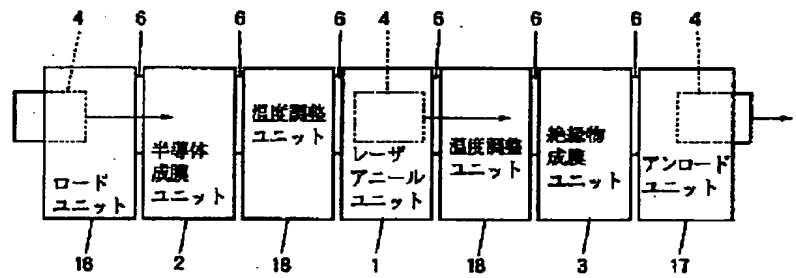
【図 3】



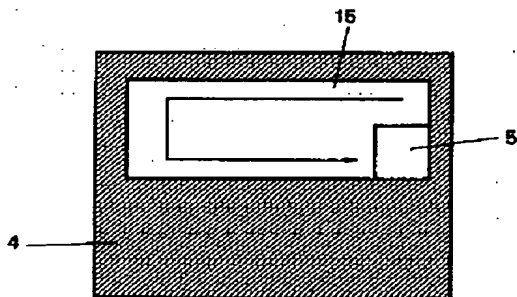
【図 4】



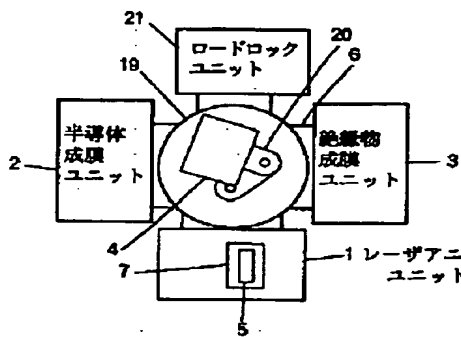
【図 6】



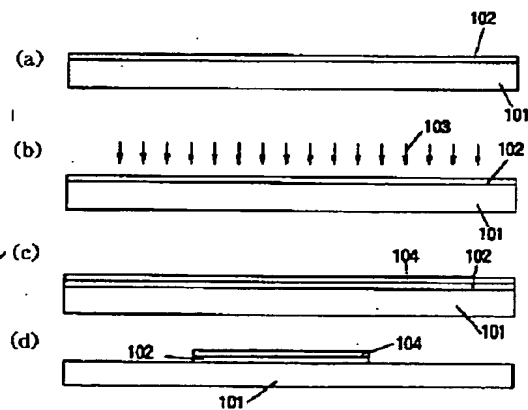
【図 5】



【図 7】



【図 8】



【 図 9 】

